

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001542

International filing date: 27 January 2005 (27.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-024248
Filing date: 30 January 2004 (30.01.2004)

Date of receipt at the International Bureau: 17 March 2005 (17.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

PCT/JP 2005/001542

日 本 国 特 許 庁
JAPAN PATENT OFFICE

27. 1. 2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 3 0 日
Date of Application:

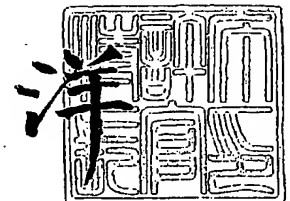
出 願 番 号 特 願 2 0 0 4 - 0 2 4 2 4 8
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 2 4 2 4 8]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 5 年 3 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 5 - 3 0 1 8 1 5 3

【書類名】 特許願
【整理番号】 P007705
【提出日】 平成16年 1月30日
【あて先】 特許庁長官 殿
【発明者】
【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究
所内
【氏名】 小山 潤
【特許出願人】
【識別番号】 000153878
【氏名又は名称】 株式会社半導体エネルギー研究所
【代表者】 山崎 舜平
【手数料の表示】
【予納台帳番号】 002543
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項 1】**

複数のトランジスタを含むロジック部及びメモリ部と、
前記ロジック部及び前記メモリ部の一方又は両方の動作頻度を検出する検出部と、
前記検出部の検出結果に基づき、前記ロジック部及び前記メモリ部の一方又は両方にしきい値制御信号を供給するしきい値制御部と、アンテナとを有し、
前記複数のトランジスタの各々は、論理信号が入力される第1のゲート電極と、前記しきい値制御信号が入力される第2のゲート電極を有することを特徴とする半導体装置。

【請求項 2】

複数のトランジスタを含むロジック部及びメモリ部と、
前記ロジック部及び前記メモリ部の一方又は両方の動作頻度を検出する検出部と、
前記検出部の検出結果に基づき、前記ロジック部及び前記メモリ部の一方又は両方にしきい値制御信号を供給するしきい値制御部と、アンテナとを有し、
前記複数のトランジスタの各々は、論理信号が入力される第1のゲート電極と、前記しきい値制御信号が入力される第2のゲート電極と、半導体膜とを有し、
前記第2のゲート電極上に前記半導体膜が設けられ、前記半導体膜上に前記第1のゲート電極が設けられることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、
前記複数のトランジスタが設けられた基板を有することを特徴とする半導体装置。

【請求項 4】

請求項 1 又は請求項 2 において、
前記複数のトランジスタと前記アンテナが設けられた基板を有することを特徴とする半導体装置。

【請求項 5】

請求項 1 又は請求項 2 において、
前記複数のトランジスタが設けられた基板と、前記アンテナが設けられた支持体とを有し、
前記複数のトランジスタと前記アンテナが接続するように、前記基板と前記支持体を固着することを特徴とする半導体装置。

【請求項 6】

請求項 3 乃至請求項 5 のいずれか一項において、
前記基板は、ガラス基板又は可撓性を有する基板であることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、
前記ロジック部は、制御回路、演算回路、入出力回路、電源回路、クロック発生回路、データ復調／変調回路及びインターフェイス回路から選択された複数の有することを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 6 のいずれか一項において、
前記検出部は、プログラム、又は前記プログラムを記憶する記憶媒体であることを特徴とする半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、データの送受信が可能な半導体装置に関する。

【背景技術】

【0002】

近年、半導体装置の開発が進められ、CPUやメモリとして用いられている。そのうち、消費電力が大きな半導体装置は、必要なバッテリーの大型化や、冷却用のファンの必要性が生じ、電子機器自体が大型化するという問題があった。そこで、高熱伝導性と低弾性を同時に満足するように、配線基板とパッケージとを接着する構造を有する複合型半導体装置を提供するものがある（特許文献1参照。）。

【特許文献1】特開平7-74282号公報

【0003】

ところで、データの送受信が可能な半導体装置の開発が進められており、このような半導体装置は、無線タグ、RFIDタグなどと呼ばれる。現在実用化されているものは、アンテナと半導体基板を用いて形成された回路（ICチップ）とを有しているものが多い。ICチップは、複数のトランジスタを有するが、当該複数のトランジスタのしきい値電圧は全て固定である。

【発明の開示】

【発明が解決しようとする課題】

【0004】

無線タグは、アンテナから電源を供給するため、電源の安定化が難しく、消費電力を極力抑制することが必要であった。また、無線タグの機能として、記憶媒体からの情報の読み出しや暗号解析等の複雑な処理が挙げられるが、後者の暗号解析等の複雑な処理を行うためには、消費電力が増加するという問題が生じていた。消費電力が増加すると、強力な電磁波を入力する必要があるため、リーダライタの消費電力の増加、他の装置や人体への悪影響などの不具合が生じていた。また、無線タグとリーダライタとの通信距離に制約が生じてしまうことがあった。

【0005】

上記の実情を鑑み、本発明は、消費電力を極力抑制することで電源の安定化を実現する半導体装置の提供を課題とする。また本発明は、暗号解析等の複雑な処理を行っても、電源が不安定にならず、電源の安定化を実現する半導体装置の提供を課題とする。さらに、強力な電磁波を入力する必要がなく、リーダライタとの通信距離を改善した半導体装置の提供を課題とする。

【課題を解決するための手段】

【0006】

上述した従来技術の課題を解決するために、本発明においては以下の手段を講じる。

【0007】

本発明の半導体装置は、複数のトランジスタを含むロジック部及びメモリ部と、前記ロジック部及び前記メモリ部の一方又は両方の動作頻度を検出する検出部と、前記検出部の検出結果に基づき、前記ロジック部及び前記メモリ部の一方又は両方にしきい値制御信号を供給するしきい値制御部と、アンテナとを有する。そして、複数のトランジスタの各々は、論理信号が入力される第1のゲート電極と、前記しきい値制御信号が入力される第2のゲート電極と、半導体膜とを有し、前記第2のゲート電極上に前記半導体膜が設けられ、前記半導体膜上に前記第1のゲート電極が設けられることを特徴とする。

【0008】

また本発明の半導体装置は、複数のトランジスタが設けられた基板を有することを特徴とする。又は、複数のトランジスタとアンテナが設けられた基板を有することを特徴とする。又は、複数のトランジスタが設けられた基板と、アンテナが設けられた支持体とを有

し、複数のトランジスタとアンテナが接続するように、基板と支持体を固着することを特徴とする。

【0009】

また本発明の半導体装置を含む基板は、ガラス基板又は可撓性を有する基板であることを特徴とする。また、ロジック部は、制御回路、演算回路、入出力回路、電源回路、クロック発生回路、データ復調／変調回路及びインターフェイス回路から選択された複数を有することを特徴とする。また、検出部は、プログラム、又は前記プログラムを記憶する記憶媒体であることを特徴とする。

【発明の効果】

【0010】

上記構成を有する本発明は、低消費電力化を実現した半導体装置を提供することができる。従って、暗号解析等の複雑な処理を行っても、電源が不安定にならず、安定な動作を実現した半導体装置を提供することができる。また、強力な電磁波を入力する必要がなく、さらに、リーダライタとの通信距離を改善した半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0011】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0012】

本発明の半導体装置10は、ロジック部11、メモリ部12、検出部13、しきい値制御部14及びアンテナ15を有する(図1参照)。本発明の半導体装置10は、非接触でデータを交信する機能を有し、ロジック部11は、電源回路、クロック発生回路、データ復調／変調回路、インターフェイス回路、制御回路、演算回路及び入出力回路から選択された複数である。制御回路、演算回路及び入出力回路の3つの要素は、CPU(Central Processing Unit)を構成する要素である。電源回路は、アンテナ15から入力された交流信号を基に、半導体装置の内部の各回路に用いられる各種電源を生成する回路である。クロック発生回路は、アンテナ15から入力された交流信号を基に、半導体装置内の各回路に用いられる各種クロックを生成する回路である。データ復調／変調回路は、リーダライタ18と交信するデータを復調／変調する機能を有する。アンテナ15は、電磁界或いは電波の送受信を行う機能を有する。リーダライタ18は、半導体装置との交信、制御及びそのデータに関する処理を制御する。なお、ロジック部11は上記構成に制約されず、様々な構成に成りうるものであり、例えば、電源電圧の補償回路や暗号処理専用ハードウェアといった他の構成要素を追加した構成であってもよい。また、メモリ部12は、DRAM、SRAM、FRAM、マスクROM、フューズ式PROM、反フューズ式PROM、EPROM、EEPROM及びフラッシュメモリ等から選択された一つ又は複数に相当する。また、アンテナ15は、電磁界或いは電波の送受信を行う機能を有する。

【0013】

ロジック部11とメモリ部12は複数のトランジスタを含む。複数のトランジスタの各々は、論理信号が入力される第1のゲート電極と、しきい値制御信号が入力される第2のゲート電極を有する。そこで、以下には、第1のゲート電極と第2のゲート電極を有するトランジスタの構造について説明する(図2(A)(B)参照)。なお、図面では、複数のトランジスタの一例として、N型トランジスタ21(以下トランジスタ21と略記)と、P型トランジスタ22(以下トランジスタ22と略記)を例示する。

トランジスタ21、22は、ガラス、石英、プラスチックなどの有機樹脂、金属酸化物やシリコンからなる基板20上に設けられる。トランジスタ21は、第1のゲート電極33と、ソース・ドレイン領域26、27及びチャネル形成領域30を含む半導体膜と、第2のゲート電極23とを含む。トランジスタ22は、第1のゲート電極34と、ソース・

ドレイン領域 28、29 及びチャネル形成領域 31 を含む半導体膜と、第 2 のゲート電極 24 とを含む。第 1 のゲート電極 33、34 と半導体膜との間には、第 1 のゲート絶縁膜 32 が設けられる。第 2 のゲート電極 23、24 と半導体膜との間には、第 2 のゲート絶縁膜 25 が設けられる。また、基板 20 上には、ソース・ドレイン領域 26～29 に接続するソース・ドレイン配線 35～37 が設けられる。

【0014】

次に、上記のように、第 1 のゲート電極と第 2 のゲート電極を有するトランジスタのドレイン電流 (I_d) - ゲート電圧 (V_g) 特性について説明する (図 2 (C) 参照)。曲線 91 はトランジスタの第 2 のゲート電極に正の電圧を印加した場合の特性を示し、曲線 92 は第 2 のゲート電極に 0 を印加した場合の特性を示し、曲線 93 は第 2 のゲート電極に負の電圧を印加した場合の特性を示す。

図示するように、第 2 のゲート電極に正の電圧を印加すると、曲線は左にシフトし、しきい値電圧が低くなる。一方、第 2 のゲート電極に負の電圧を印加すると、曲線は右にシフトし、しきい値電圧が高くなる。本発明は、この現象を利用し、高速動作が必要な場合は、第 2 のゲート電極に正の電圧を印加し、しきい値電圧を低くする。一方、漏れ電流を低減して、低消費電力化を図る場合は、第 2 のゲート電極に負の電圧を印加して、しきい値電圧を高くする。

【0015】

検出部 13 は、ロジック部 11 及びメモリ部 12 の動作頻度を検出する動作頻度検出手段と、ロジック部 11 及びメモリ部 12 の動作モードを判別する判別手段とを有する (図 3 参照)。動作頻度検出手段は、一定期間にある命令が何回使用されたかをカウントする機能を有する。判別手段は、動作頻度検出手段の出力と、メモリに記憶された基準値とを比較し、動作頻度検出手段の出力が基準値以下であれば、第 1 のモード (待機モード) と判別する。逆に、動作頻度検出手段の出力が基準値以上であれば、第 2 のモード (活性モード) と判別する。検出部 13 は、プログラム、又は前記プログラムが記録された記憶媒体に相当する。また、基準値を記憶するメモリは、半導体装置の内部と外部のどちらに設けてもよい。

【0016】

しきい値制御部 14 は、メモリ 63、D/A 変換部 64 及びバッファ 65 を有する (図 3 参照)。メモリ 63 は、検出部 13 から検出結果のデータを受け取り、当該データを格納する。D/A 変換部 64 は、格納したデータをアナログ電圧に変換する。バッファ 65 は、アナログ電圧をバッファ出力する。バッファ 65 はしきい値制御信号を出力する。この際、待機モードと判別したロジック部 11 及びメモリ部 12 のブロックのトランジスタには、しきい値電圧を高くするしきい値制御信号を出力する。同様に、活性モードと判別したロジック部 11 及びメモリ部 12 のブロックのトランジスタには、しきい値電圧を低くするしきい値制御信号を出力する。トランジスタのしきい値電圧を高く設定するしきい値制御信号を供給すると、待機モードのブロックを構成するトランジスタを確実にオフすることができる。従って、漏れ電流を抑制し、低消費電力化を実現する。一方、トランジスタのしきい値電圧を低く設定するしきい値制御信号を供給すると、活性モードのブロックを構成するトランジスタの高速動作を実現する。

【0017】

なお、本発明は、待機モードと活性モードの両方のモードのブロックにしきい値制御信号を供給するという上記の記載に制約されず、待機モードと活性モードのどちらか一方のモードのブロックにのみしきい値制御信号を供給してもよい。また、しきい値制御部 14 の構成は、上記構成に制約されない。例えば、ロジック部 11 及びメモリ部 12 が複数のブロックから構成される場合は、ブロック毎に、メモリ 63、D/A 変換部 64 及びバッファ 65 を設けてもよい。

【0018】

また、上記の記載は非接触型の半導体装置について説明するものであるが、本発明はこれに制約されず、接触型でもよい。

【実施例 1】**【0019】**

検出部 13 が含む動作頻度検出手段と判別手段の構成について、図 4 を用いて説明する。動作頻度検出手段は、アドレスコンパレータ 71、アドレスメモリ 72、カウンタ 73、リセット信号発生回路 74 を含む。判別手段は、判別回路 75、判別基準データメモリ 76 を含む。

【0020】

アドレスコンパレータ 71 は、アドレスバス 70 とアドレスメモリ 72 に接続し、当該アドレスバス 70 から第 1 のアドレスデータが入力される。アドレスコンパレータ 71 は、第 1 のアドレスデータと、アドレスメモリ 72 に入力された第 2 のアドレスデータを比較する。そして、第 1 のアドレスデータと第 2 のアドレスデータが一致した場合には、カウンタ 73 に一致を表す信号を出力する。カウンタ 73 は、アドレスコンパレータ 71 の出力をカウントする。リセット信号発生回路 74 は、カウンタ 73 に定期的にリセット信号を出力する。

例えば、カウンタ 73 にリセット信号が 0.01 秒間に 1 回入力されるとすると、カウンタ 73 は 0.01 秒間に第 1 のアドレスデータと第 2 のアドレスデータが何回一致したかをカウントする。

なおカウンタ 73 は、公知のリセット端子付きカウンタを用いればよい。またリセット信号発生回路 74 は、クロック信号等の固定周波数の信号を必要な数だけ分周すればよい。

【0021】

判別回路 75 は、カウンタ 73 の出力と、判別基準データメモリ 76 に記憶された基準値とを比較する。そして、カウンタ 73 の出力が、基準値以上であった場合、しきい値電圧を下げるしきい値制御信号を供給するように、しきい値制御部 14 を動作させる。一方、カウンタ 73 の出力が、基準値以下であった場合、しきい値電圧を高くするしきい値制御信号を供給するように、しきい値制御部 14 を動作させる。より詳しくは、カウンタ 73 の出力から、判別基準データメモリ 76 に記憶された基準値の値を減算し、差がプラスから 0 になった時点、差がマイナスから 0 になった時点で、しきい値制御部 14 を動作させる。また、差が 0 からマイナスになった時点、0 からプラスになった時点でしきい値制御部 14 を動作させる。

【0022】

次に、アドレスコンパレータ 71 の構成について説明する。ここでは、簡単のため、4 ビットの場合を例示する。アドレスバス 70 とアドレスメモリ 72 の各ビットのアドレスデータは、EXOR 77~80 の入力ノードに入力される。そして、EXOR 77~80 の出力は、NOR 81 の入力ノードに入力される。NOR 81 の出力ノードは、ラッチ回路 82 に接続する。ラッチ回路 82 にはラッチパルスが入力され、当該ラッチパルスにより、切り換え終了後のデータをラッチする。なおラッチ回路 82 は、動作の切り換え時のグリッジを防止するためのもので、必須の構成要素ではない。

【実施例 2】**【0023】**

上記に挙げた本発明の 5 つの構成要素（ロジック部 11、メモリ部 12、検出部 13、しきい値制御部 14 及びアンテナ 15）のうち、ロジック部 11 の詳しい構成について、CPU に相当する半導体装置を一例に挙げて、図 5 を用いて説明する。

【0024】

CPU に相当する半導体装置は、タイミングコントロール 51、命令デコーダ 52、レジスタアレイ 53、アドレスロジックアンドバッファ 54、データバスインターフェイス 55、ALU 56、命令レジスタ 57、検出部 13 及びしきい値制御部 14 を有する。タイミングコントロール 51 は、外部からの命令を受け取り、それを内部用の情報に変換して他のブロックに送り出したり、内部の動作に応じてメモリデータの読み込みや書き込みなどの指示を外部に与えたりする。命令デコーダ 52 は、外部の命令を内部用の命令に変

換する。レジスタアレイ53は、揮発性メモリであって、データを一時的に保管する。アドレスロジックアンドバッファ54は、外部メモリのアドレスを指定する。データバスインターフェイス55は、外部のメモリ等にデータを供給したり、外部のメモリのデータを読み込んだりする。ALU56は演算を行う。命令レジスタ57は命令を一時的に記憶する。

【0025】

ロジック部11は、タイミングコントロール51、命令デコーダ52、レジスタアレイ53、アドレスロジックアンドバッファ54、データバスインターフェイス55、ALU56及び命令レジスタ57に相当する。検出部13は、ロジック部11が有する各回路としきい値制御部14とに接続する。しきい値制御部14は、ロジック部11が有する各回路と検出部13とに接続する。

【実施例3】

【0026】

本発明の半導体装置は、非接触でのデータの読み出しと書き込みが可能であることを特徴としており、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別されるが、いずれの方式を用いてもよい。データの伝送に用いるアンテナ15は2通りの設け方があり、1つは複数のトランジスタが設けられた基板20上にアンテナ15を設ける場合(図6(A)(C)参照)、もう1つは複数のトランジスタが設けられた基板20上に端子部を設けて、当該端子部に接続するようにアンテナ15を設ける場合(図6(B)(D)参照)である。ここでは、基板20上に設けられた複数のトランジスタを素子群85と呼ぶ。

【0027】

前者の構成(図6(A)(C))の場合、基板20上に、ロジック部11等を構成する素子群85と、アンテナ15として機能する導電膜を設ける。図示する構成では、ソース・ドレイン配線と同じレイヤーにアンテナ15として機能する導電膜を設けている。しかしながら、本発明は上記構成に制約されず、第1のゲート電極又は第2のゲート電極と同じレイヤーにアンテナ15を設けてもよいし、素子群85を覆うように絶縁膜を設けて、当該絶縁膜上にアンテナ15を設けてもよい。

【0028】

後者の構成(図6(B)(D))の場合、基板20上に、素子群85と端子部86を設ける。図示する構成では、端子部86として、素子群85が含むトランジスタのソース・ドレイン配線を用いている。そして、端子部86とアンテナ15が接続するように、基板20と基板(支持体)84とが固着されている。基板20と基板84の間には、導電性粒子87と樹脂88が設けられている。

【0029】

素子群85は、大きな面積の基板上に複数形成し、その後、分断することで完成させれば、安価なものを提供することができる。このときに用いる基板としては、石英基板、ガラス基板等が挙げられるが、その面積に制約がないガラス基板を用いることが好適である。

素子群85が含む複数のトランジスタは、複数の層に渡って設けられていてもよい。複数の層に渡る素子群85を形成する際には、層間絶縁膜を用いるが、当該層間絶縁膜の材料として、エポキシ樹脂やアクリル樹脂等の樹脂材料、透過性を有するポリイミド樹脂等の樹脂材料、シロキサン系ポリマー等の重合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む材料、無機材料を用いるとよい。

シロキサン系の化合物材料とは、珪素と酸素との結合で骨格構造が構成され置換基に少なくとも水素を含む材料、又は、置換基にフッ素、アルキル基、又は芳香族炭化水素のうち少なくとも1種を有する材料が挙げられる。また、層間絶縁膜の材料として、層間で発生する寄生容量の減少を目的として、低誘電率(low-k)材料を用いるとよい。寄生容量が減少すれば、高速の動作を実現し、また、低消費電力化を実現する。

素子群85が含む複数のトランジスタは、非晶質半導体、微結晶半導体、多結晶半導体、有機半導体等のいずれの半導体を活性層として用いてもよいが、特に、良好な特性のトランジスタを得るために、金属元素を触媒として結晶化した活性層、レーザ照射法により結晶化した活性層を用いるとよい。また、プラズマCVD法により、 SiH_4/F_2 ガス、 SiH_4/H_2 ガスを用いて形成した半導体層や、前記半導体層にレーザ照射を行ったものを活性層として用いるとよい。

また、素子群85が含む複数のトランジスタは、200度から600度の温度（好適には350度から500度）で結晶化した結晶質半導体層（低温ポリシリコン層）や、600度以上の温度で結晶化した結晶質半導体層（高温ポリシリコン層）を用いることができる。なお、基板上に高温ポリシリコン層を作成する場合は、ガラス基板だけでなく、石英基板を使用してもよい。

素子群85が含むトランジスタの活性層（特にチャネル形成領域）には、 $1 \times 10^{19} \text{ atoms/cm}^3 \sim 1 \times 10^{22} \text{ atoms/cm}^3$ の濃度、好適には $1 \times 10^{19} \text{ atoms/cm}^3 \sim 5 \times 10^{20} \text{ atoms/cm}^3$ の濃度で、水素又はハロゲン元素を添加するとよい。そうすると、欠陥の少ないため、クラックが生じにくい活性層を得ることができる。

また、素子群85が含むトランジスタを包むように、又は素子群85自身を包むように、アルカリ金属等の汚染物質をブロックするバリア膜を設けるとよい。そうすると、汚染されることがなく、信頼性が向上した素子群85を提供することができる。なおバリア膜とは、窒化珪素膜、窒化酸化珪素膜又は酸化窒化珪素膜等である。

また、素子群85が含むトランジスタの活性層の厚さは、20nm～200nm、好ましくは40nm～170nm、さらに好ましくは45nm～55nm、145nm～155nm、さらに好ましくは50nm、150nmとするとよい。そうすると、折り曲げて、クラックが生じにくい素子群85を提供することができる。

また、素子群85が含むトランジスタの活性層を構成する結晶は、キャリアの流れる方向（チャネル長方向）と平行に延びる結晶粒界を有するように形成するとよい。このような活性層は、連続発振レーザ（CWLC）や、10MHz以上、好ましくは60～100MHzで動作するパルスレーザで形成するとよい。

また、素子群85が含むトランジスタのS値（サブスレッシュホールド値）は0.35V/sec以下（好ましくは0.09～0.25V/sec）、移動度 $10 \text{ cm}^2/\text{Vs}$ 以上の特性を有するとよい。このような特性は、活性層を、連続発振レーザや、10MHz以上で動作するパルスレーザで形成すれば、実現する。

また、素子群85は、リングオシレータレベルで1MHz以上、好適には10MHz以上（3～5Vにて）の特性を有する。又は、ゲートあたりの周波数特性を100kHz以上、好適には1MHz以上（3～5Vにて）を有する。

【0030】

また、素子群85はガラスや石英からなる基板20上に設ける。そのまま使用してもよいが、より付加価値をつけるために、基板20上の素子群85を剥離し（図7（A）参照）、当該素子群85を可撓性の基板59に貼り合わせてもよい（図7（B）参照）。可撓性を有する基板20としては、ポリカーボネート、ポリアリレート、ポリエーテルスルホン等のプラスチック基板、テフロン（登録商標）基板又はセラミック基板等が挙げられる。

【0031】

基板20からの素子群85の剥離は、（1）耐熱性の高い基板20と素子群85の間に金属酸化膜を設け、当該金属酸化膜を結晶化により脆弱化して、当該素子群85を剥離する方法、（2）耐熱性の高い基板20と素子群85の間に水素を含む非晶質珪素膜を設け、レーザ光の照射またはエッチングにより当該非晶質珪素膜を除去することで、当該素子群85を剥離する方法、（3）素子群85が形成された耐熱性の高い基板20を機械的に削除又は溶液や ClF_3 、 ClF_2 、 ClF 、 BrF_3 等のガスによるエッチングで除去することで、当該素子群85を切り離す方法等を用いればよい。また、剥離した素子群85の基板59への貼り付けは、市販の接着剤を用いればよく、例えば、エポキシ樹脂系接着

剤や樹脂添加剤等の接着材を用いればよい。

【0032】

上記のように、素子群 85 を、可撓性を有する第 2 の基板 59 に貼り合わせると、厚さが薄く、軽く、落下しても割れにくく、フレキシブルな半導体装置を提供することができる(図 7 (C) 参照)。また、可撓性を有するため、曲面や異形の形状上に貼り合わせることが可能となり、多種多様の用途が実現する。例えば、薬の瓶のような曲面上に、本発明の半導体装置の一形態である無線タグ 61 を密着して貼り合わせることができ(図 7 (D) 参照)。さらに、基板 60 を再利用すれば、半導体装置の低コスト化を実現する。また、可撓性を有する基板 59 は、基板 60 と比較して安価なために、半導体装置の低コスト化を実現する。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【実施例 4】

【0033】

本実施例は、剥離プロセスを用いて、フレキシブルな無線タグを構成する場合について説明する(図 10 (A) 参照)。無線タグは、フレキシブルな保護層 2301 と、アンテナ 2304 を含むフレキシブルな保護層 2303 と、剥離プロセスにより形成する素子群 2302 とを有する。保護層 2303 上に形成されたアンテナ 2304 は、素子群 2302 に電氣的に接続する。図示する構成では、アンテナ 2304 は保護層 2303 上にのみ形成されているが、本発明はこの構成に制約されず、アンテナ 2304 を保護層 2301 上にも形成してもよい。なお、素子群 2302 と、保護層 2301、2303 との間には、窒化珪素膜等からなるバリア膜を形成するとよい。そうすると、素子群 2302 が汚染されることなく、信頼性を向上させた無線タグを提供することができる。

【0034】

アンテナ 2304 は、銀、銅、またはそれらでメッキされた金属であることが望ましい。素子群 2302 とアンテナ 2304 とは、異方性導電膜を用いて UV 処理又は超音波処理を行うことで接続するが、本発明はこの方法に制約されず、様々な方法を用いることができる。

【0035】

保護層 2301、2303 に挟まれた素子群 2302 の厚さは、 $5\mu\text{m}$ 以下、好ましくは $0.1\mu\text{m}\sim 3\mu\text{m}$ の厚さを有するように形成するとよい(断面構造を示す図 10 (B) 参照)。また、保護層 2301、2303 を重ねたときの厚さを d としたとき、保護層 2301、2303 の厚さは、好ましくは $(d/2) \pm 30\mu\text{m}$ 、さらに好ましくは $(d/2) \pm 10\mu\text{m}$ とする。また、保護層 2301、2303 の厚さは $10\mu\text{m}\sim 200\mu\text{m}$ であることが望ましい。さらに、素子群 2302 の面積は 5mm^2 (角 25mm) 以下であり、望ましくは 0.3mm^2 (角 0.9mm) $\sim 16\text{mm}^2$ (角 4mm) の面積を有するとよい。

【0036】

保護層 2301、2303 は、有機樹脂材料で形成されているため、折り曲げに対して強い特性を有する。また、剥離プロセスにより形成した素子群 2302 自体も、単結晶半導体に比べて、折り曲げに対して強い特性を有する。そして、素子群 2302 と、保護層 2301、2303 とは空隙がないように、密着させることができるため、完成した無線タグ自体も折り曲げに対して強い特性を有する。このような保護層 2301、2303 で囲われた素子群 2302 は、他の個体物の表面または内部に配置しても良いし、紙の中に埋め込んで良い。

【0037】

剥離プロセスにより形成する素子群を、曲面を有する基板に貼る場合について説明する(図 10 (C) 参照)。図面では、剥離プロセスにより形成する素子群から選択された 1 つのトランジスタを図示する。このトランジスタは、電流が流れる方向に直線状である。つまり、ドレイン電極 2305 \sim ゲート電極 2307 \sim ソース電極 2306 の位置は直線状である。そして、電流が流れる方向と、基板が弧を描く方向は垂直に配置される。この

ような配置にすれば、基板が折り曲げられて、弧を描いても、応力の影響が少なく、素子群を含むトランジスタの特性の変動を抑制することができる。

【0038】

また、応力を起因とした、トランジスタなどのアクティブ素子の破壊を防止するために、アクティブ素子の活性領域（シリコンアイランド部分）の面積は、基板全体の面積に対して、5%～50%（好ましくは1～30%）にすることが望ましい。TFTなどのアクティブ素子の存在しない領域には、下地絶縁膜材料、層間絶縁膜材料及び配線材料が主として設けられる。トランジスタ等の活性領域以外の面積は、基板全体の面積の60%以上であることが望ましい。このようにすると、曲げやすく、しかしながら高い集積度を有する半導体装置を提供することができる。

【実施例5】

【0039】

本発明の半導体装置の用途は広範にわたるが、例えば、本発明の半導体装置の一形態である無線タグは、紙幣、硬貨、有価証券類、証書類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの（金券）、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指す（図8（A）参照）。証書類とは、運転免許証、住民票等を指す（図8（B）参照）。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す（図8（C）参照）。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指す（図8（D）参照）。書籍類とは、書物、本等を指す（図8（E）参照）。記録媒体とは、DVDソフト、ビデオテープ等を指す（図8（F）参照）。身の回り品とは、靴、眼鏡等を指す（図8（G）参照）。乗物類とは、自転車等の車両、船舶等を指す（図8（H）参照）。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、EL表示装置、テレビ受像機（テレビ装置）、携帯電話等を指す。紙幣、硬貨、有価証券類、証書類、無記名債券類等に無線タグを設けることにより、偽造を防止することができる。また、包装用容器類、書籍類、記録媒体等、身の回り品、食品類、生活用品類、電子機器等に無線タグを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類、保健用品類、薬品類等に無線タグを設けることにより、偽造や盗難の防止、薬品類ならば、薬の服用の間違いを防止することができる。無線タグの設け方としては、物品の表面に貼ったり、物品に埋め込んだりするとよい。例えば、本ならば紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。

【0040】

このように、物の管理や流通のシステムに応用することで、システムの高機能化を図ることができる。例えば、表示部94を含む携帯端末の側面にリーダライタ95を設けて、品物97の側面に本発明の半導体装置の一形態である無線タグ96を設ける場合が挙げられる（図9（A）参照）。この場合、リーダライタ95に無線タグ96をかざすと、表示部94に品物97の原材料や原産地、流通過程の履歴等の情報が表示されるシステムになっている。また、別の例として、ベルトコンベアの脇にリーダライタ95を設ける場合が挙げられる（図9（B）参照）。この場合、品物97の検品を簡単に行うことができる。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

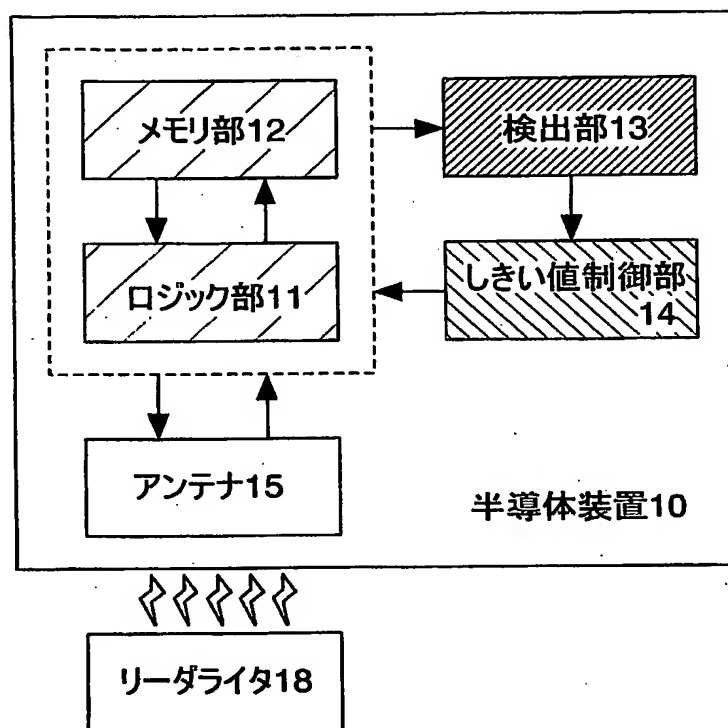
【図面の簡単な説明】

【0041】

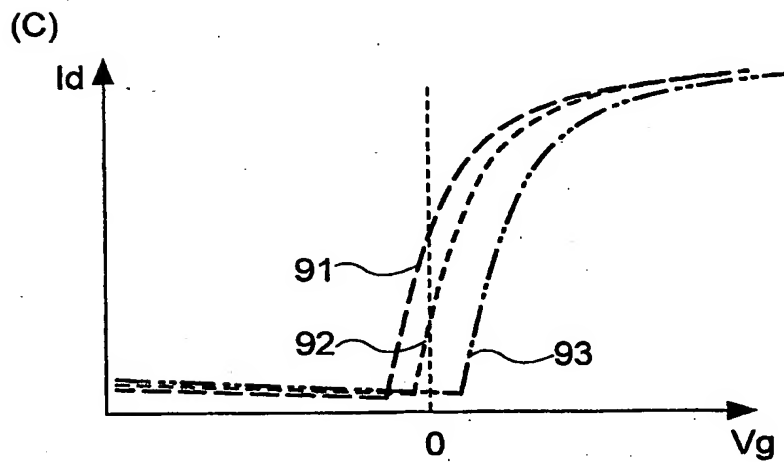
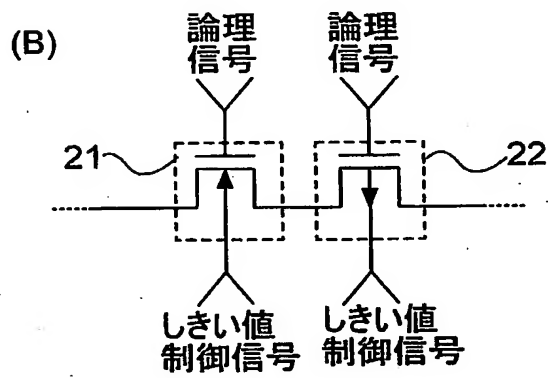
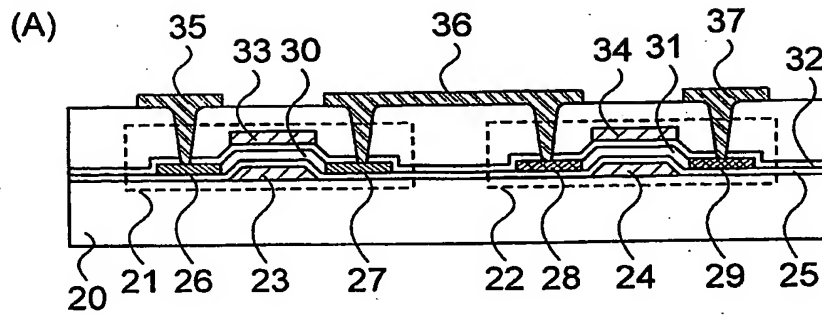
- 【図1】 本発明の半導体装置の構成を説明する図。
- 【図2】 本発明の半導体装置の構成を説明する図。
- 【図3】 本発明の半導体装置の構成を説明する図。
- 【図4】 本発明の半導体装置の構成を説明する図。
- 【図5】 本発明の半導体装置の構成を説明する図。

- 【図 6】 本発明の半導体装置の構成を説明する図。
- 【図 7】 本発明の半導体装置の構成を説明する図。
- 【図 8】 本発明の半導体装置の使用形態を説明する図。
- 【図 9】 本発明の半導体装置の使用形態を説明する図。
- 【図 10】 本発明の半導体装置の構成を説明する図。

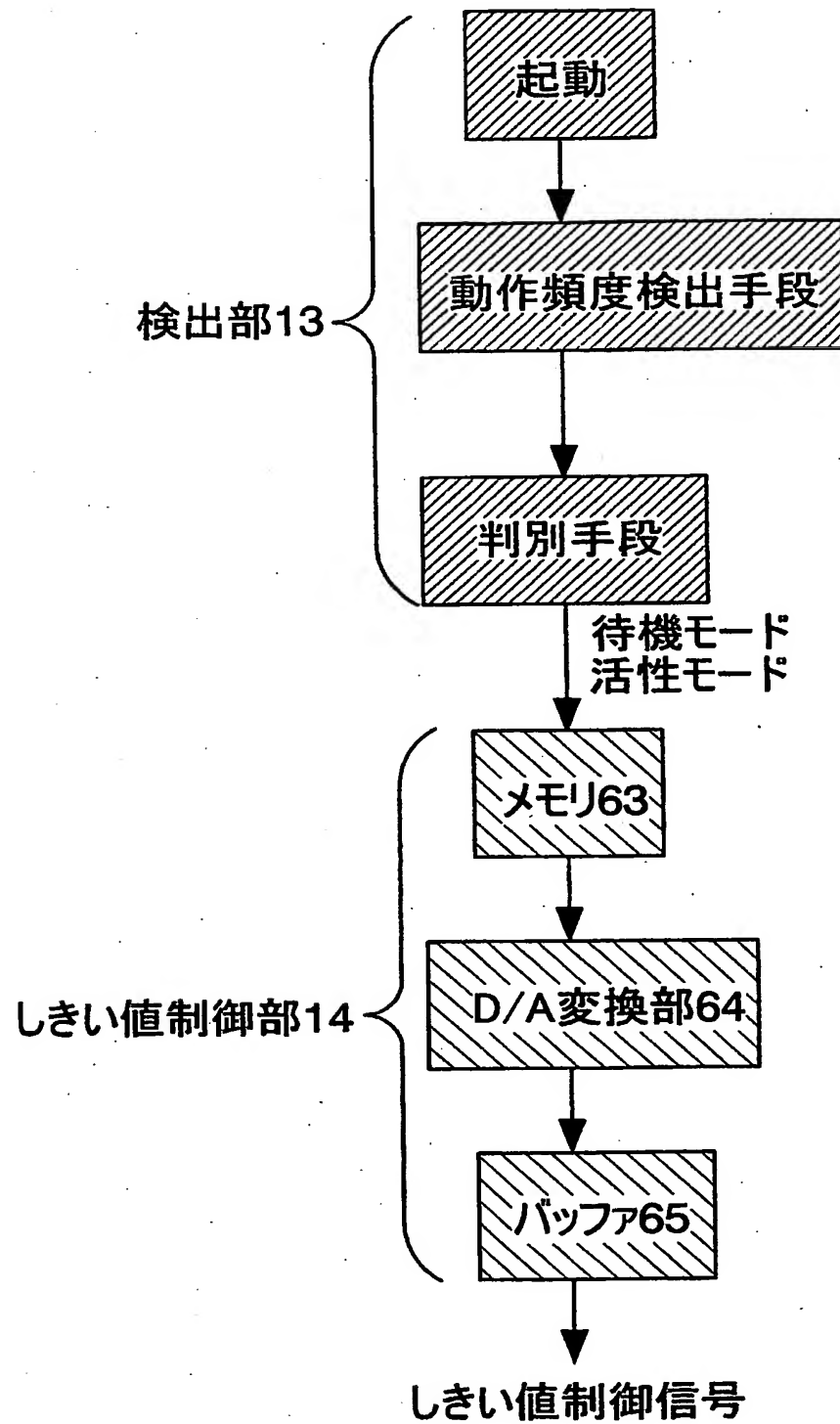
【書類名】 図面
【図 1】



【図 2】

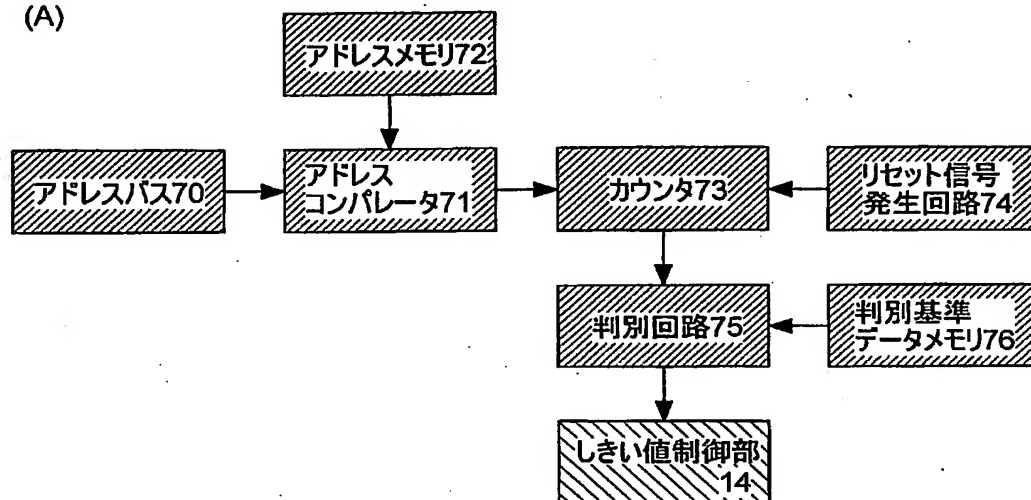


【図3】

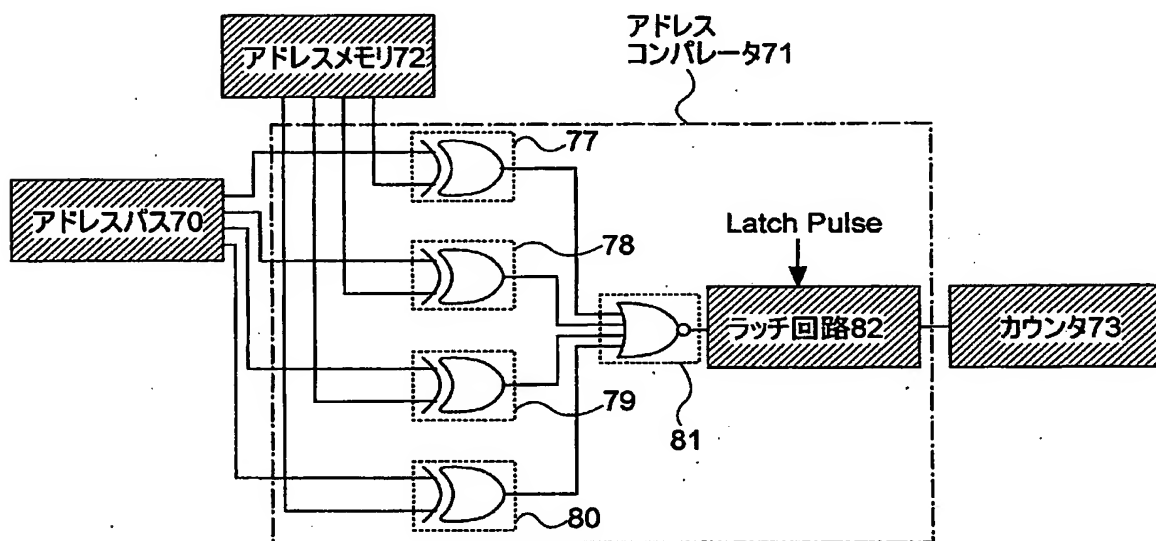


【図4】

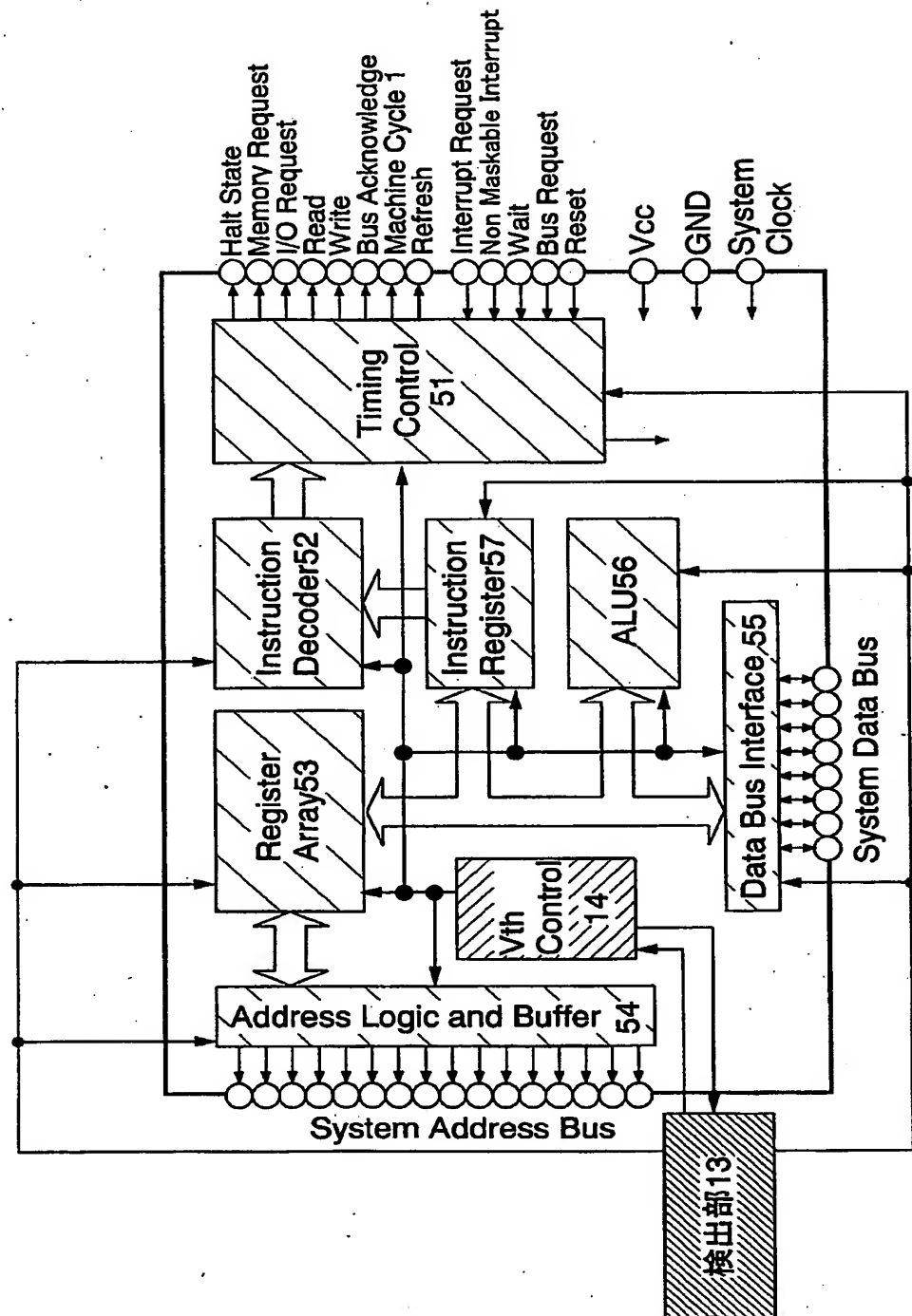
(A)



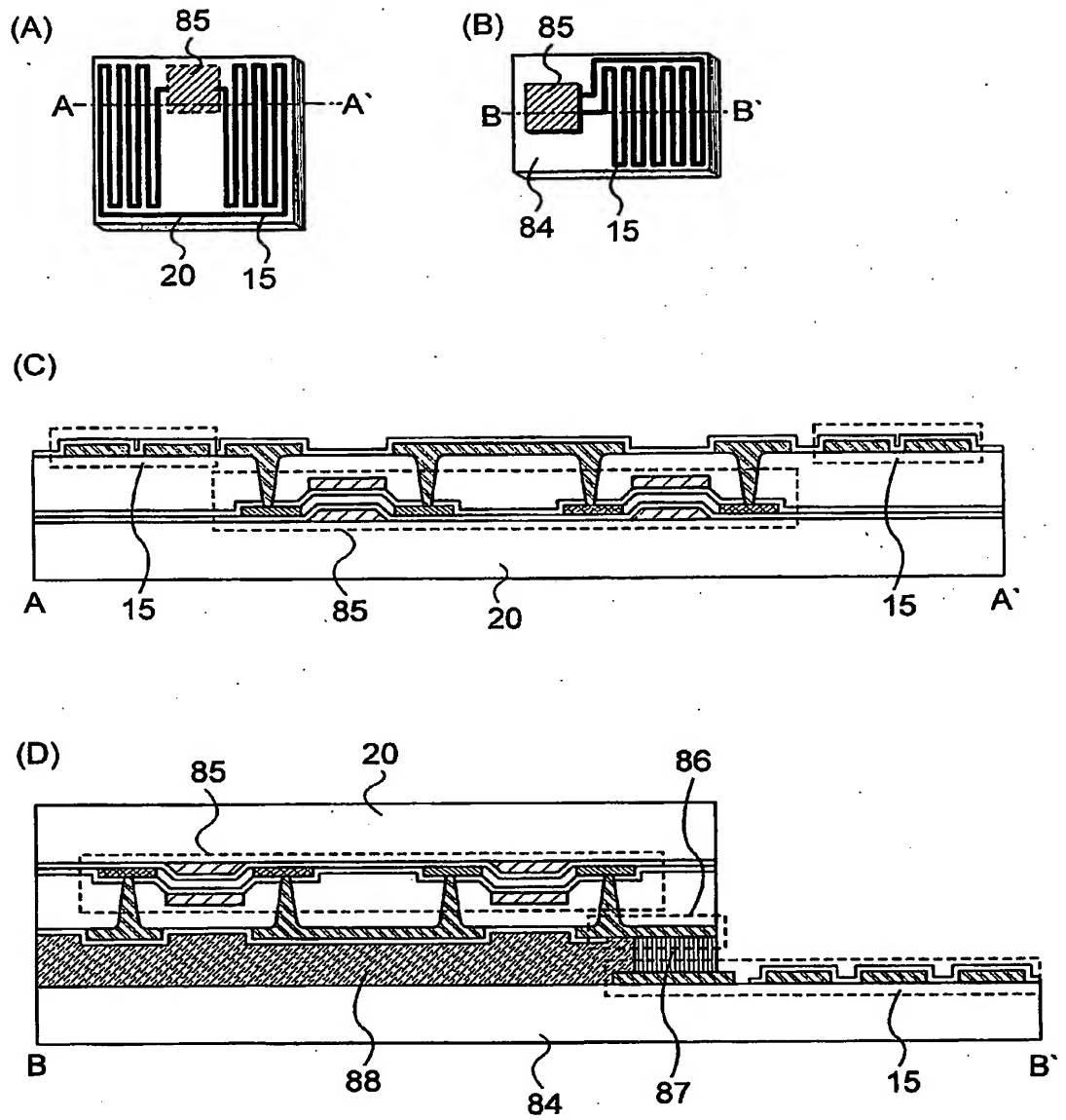
(B)



【図 5】

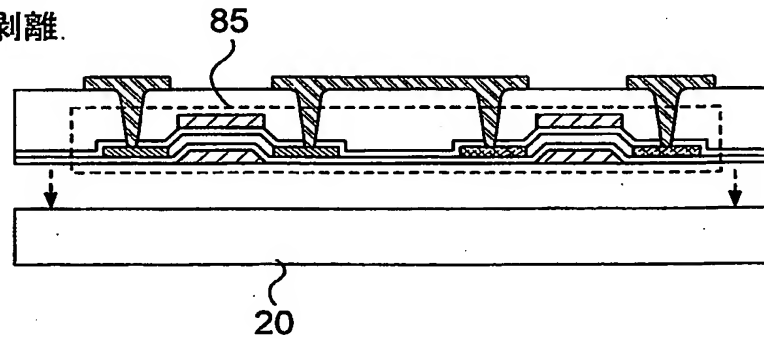


【図 6】

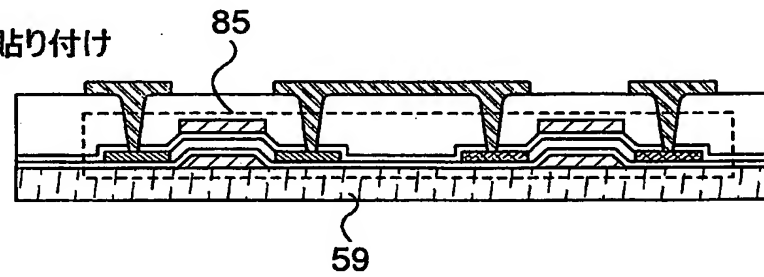


【図 7】

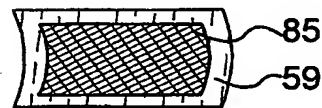
(A) 剥離



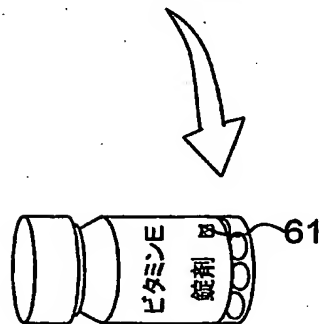
(B) 貼り付け



(C)

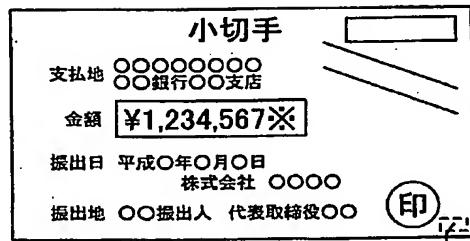


(D)

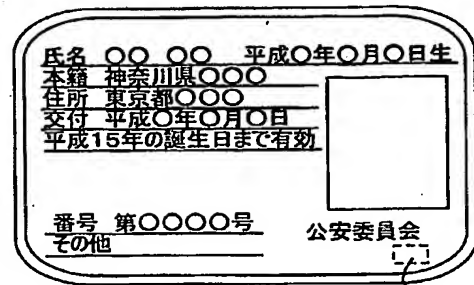


【図 8】

(A)



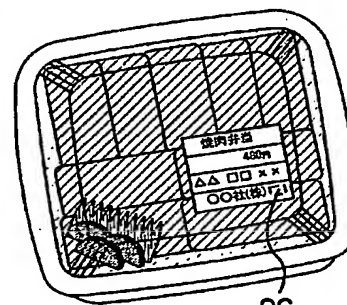
(B)



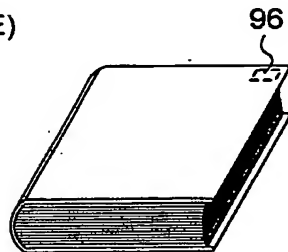
(C)



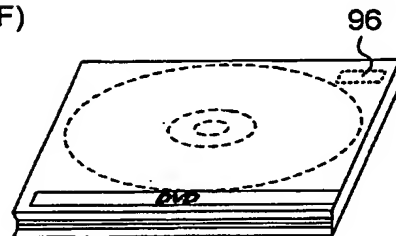
(D)



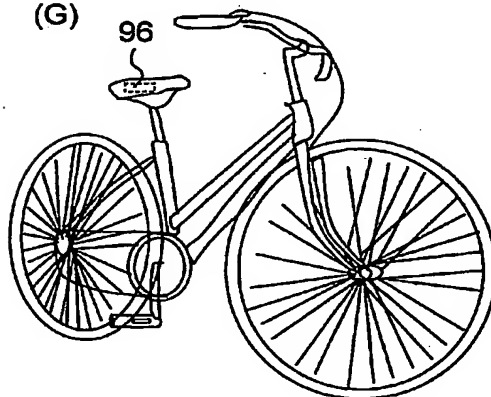
(E)



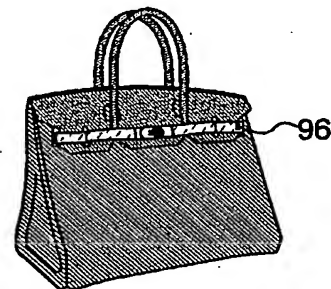
(F)



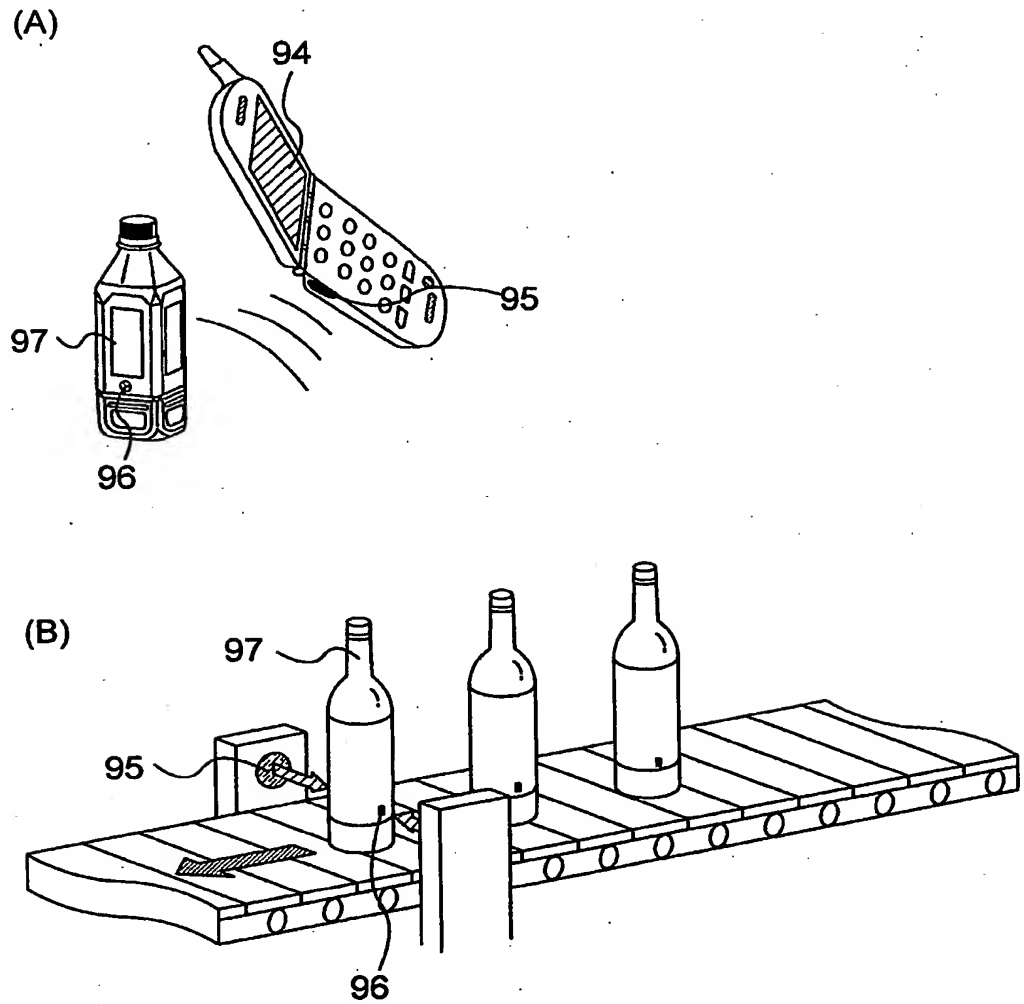
(G)



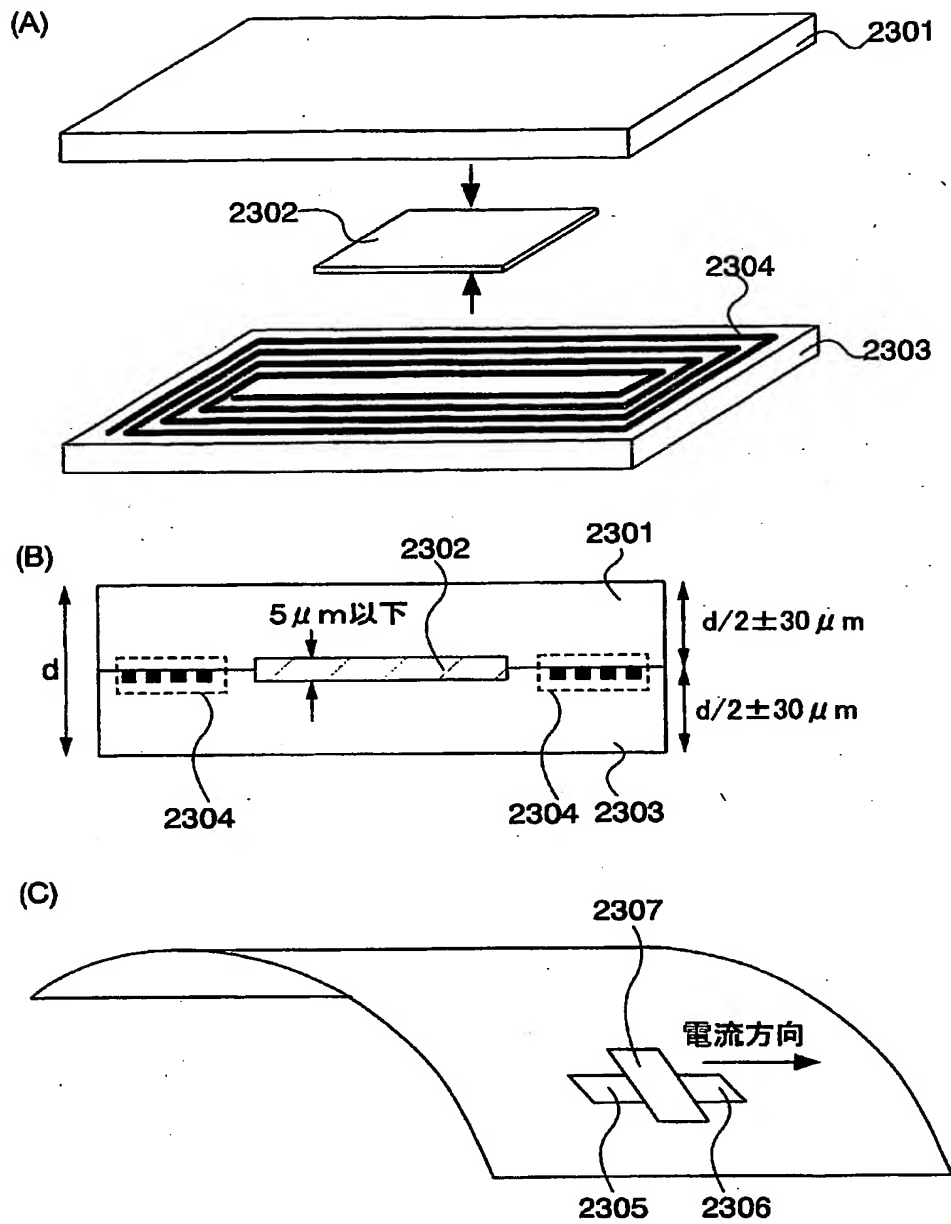
(H)



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 本発明は、消費電力を極力抑制することで電源の安定化を実現する半導体装置の提供を課題とする。

【解決手段】 本発明の半導体装置は、複数のトランジスタを含むロジック部及びメモリ部と、前記ロジック部及び前記メモリ部の一方又は両方の動作頻度を検出する検出部と、前記検出部の検出結果に基づき、前記ロジック部及び前記メモリ部の一方又は両方にしきい値制御信号を供給するしきい値制御部と、アンテナとを有する。そして、複数のトランジスタの各々は、論理信号が入力される第1のゲート電極と、前記しきい値制御信号が入力される第2のゲート電極と、半導体膜とを有し、前記第2のゲート電極上に前記半導体膜が設けられ、前記半導体膜上に前記第1のゲート電極が設けられることを特徴とする。

【選択図】 図1

特願 2004-024248

出願人履歴情報

識別番号

[000153878]

1. 変更年月日

1990年 8月17日

[変更理由]

新規登録

住所

神奈川県厚木市長谷398番地

氏名

株式会社半導体エネルギー研究所